Национальный Технический Университет Украины

Киевский Политехнический Институт

**Лабораторная работа №4**

По «Компьютерной схемотехнике»

Выполнил:

студент 3-го курса

ФИВТ гр. ИВ-63

Скиба. Д

Вариант № 6318

# Киев – 2008

**Задание.**

На ПЛИС с параметрами N разработать K-канальное ЗУ емкостью М n-разрядных слов. Определить сложность и быстродействие полученной схемы.

По номеру зачетной книжки № 6318 определяем, что

C9=4 => NF=9

C4=2 => KF=2(D<>,Q<>) n=24

C8=2 => MF=12

Для кодирования 12 различных адресов FM необходимо выделить для адреса 4 разрядов A[0]-A[3]

Для нашего случая будем считать, что чтение осуществляется по 2 каналам, а запись осуществляется по 1 ( по 2 каналу ).

Тогда выберем следующие обозначения:

AI – адрес ячейки для записи

AO1 - адрес ячейки для чтения № 1

AO2 - адрес ячейки для чтения № 2

DC – дешифратор адреса

M – блок памяти

MS – мультиплексоры чтения

Разрабатываем ЗУ с синхронной записью и асинхронным чтением, с внешним неуправляемым синхросигналом .

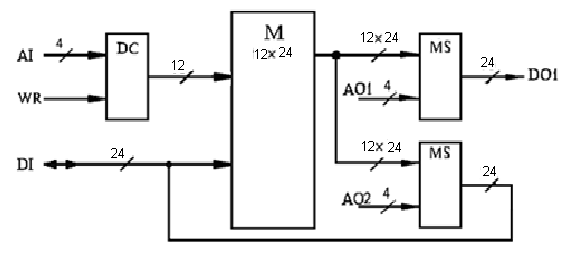
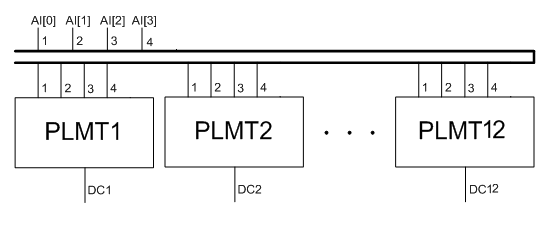


Рисунок 1. Структурная схема ЗУ

## Разработка дешифратора адреса.

Несмотря на то что у нас на дешифратор подается четырёх-разрядный адрес разрядность выхода из дешифратора не 16 а 12, потому что емкость памяти всего 12 слов, значит остальные разряды не будут использоваться.

Для построения 12-и разрядного дешифратора необходимо 12 PLM, потому что на формирования одного разряда дешифратора необходимо одно PLM. Структурная схема дешифратора приведена на рисунке 2.



**Рисунок 2 - Структурная схема DC**

**Разработка триггера ЗУ и операции записи по каналу DI.**

Для уменьшения количества используемых PLMT совместим схемы модуля памяти и дешифратора. Обозначим через DCAi функцию выбора i-ой ячейки ЗУ. Тогда функция управления j-ым разрядом i-ой ячейки:

,

где первый член – это сохранение, второй – сохранение если режим записи, но не в эту ячейку, и последний член – запись данных в память.

Таким образом получаем:





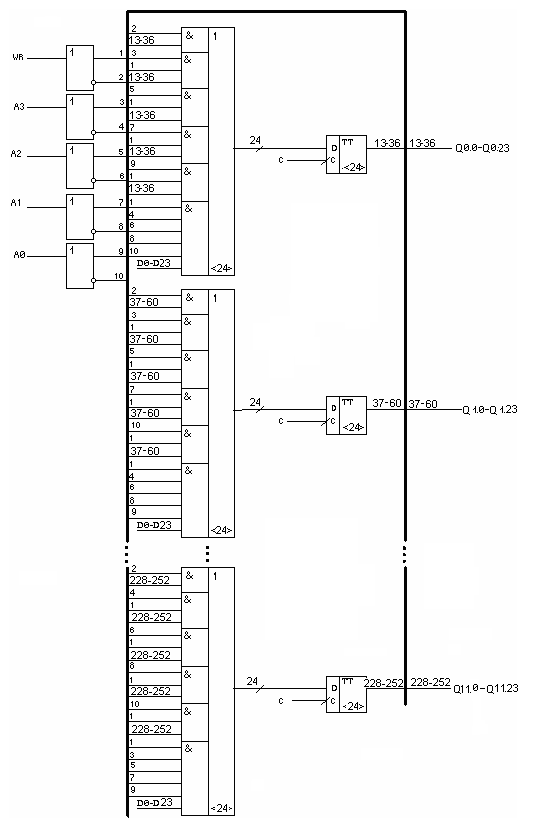
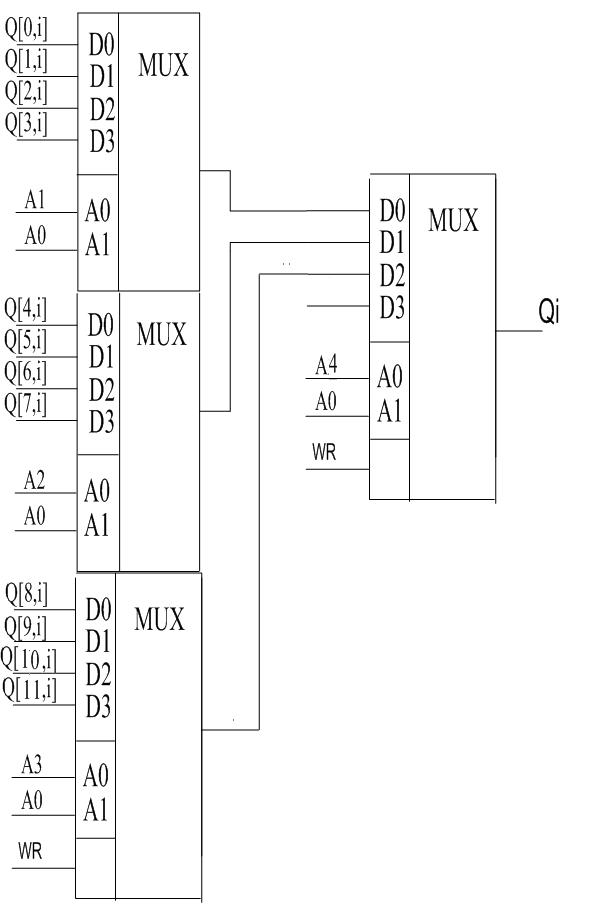


Рисунок 2. Общая схема блока памяти

**Разработка мультиплексора для выполнения операции чтения.**

Мультиплексор необходим для выбора нужного слова. Так как разрядность ПЛМТ 9 и у нее только 8 схем &, то схема одного мультиплексора на 24 входа будет состоять из нескольких мультиплексоров с меньшим количеством входов. Для обеспечения лучшего быстродейсьвия работы 24 входового мультиплексора он будет разбит на два уровня. Первый уровень будет состоять из мультиплексоров на 4 входа (таких мультиплексоров будет 6). Второй же уровень будет состоять из одного мультиплексора на 6 входов с тремя управляющими входами, т.е. будет иметь всего 9 входов, что как раз можно реализовть на ПЛИС с параметром 9!



**Рисунок 3. Схема 12-разрядного мультиплексора чтения.**

**Сложность:**

На дешифратор: 12 PLMT

Для блока памяти нербходимо 12\*24=288 PLMT.

А для мультиплексора необходимо 3\*2\*24=144 PLMT. Всего: 432 PLMT.

**Быстродействие операции записи:** 1τ.

**Быстродействие операции чтения:** 2τ.